



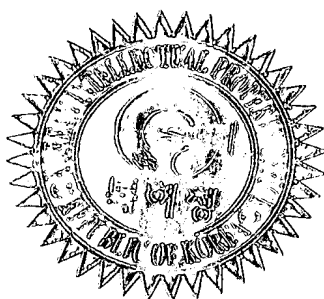
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 5334 호
Application Number PATENT-2001-0005334

출원년월일 : 2001년 02월 05일
Date of Application FEB 05, 2001

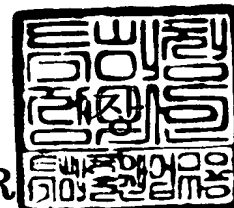
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2001 년 08 월 18 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2001.02.05
【발명의 명칭】	시분할 방식의 행렬연산기
【발명의 영문명칭】	Time-devision type matrix calculator
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	정홍식
【대리인코드】	9-1998-000543-3
【포괄위임등록번호】	2000-046970-1
【발명자】	
【성명의 국문표기】	장근식
【성명의 영문표기】	JANG,GEUN SIK
【주민등록번호】	630905-1632064
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 황골주공아파트 130동 1905호
【국적】	KR
【발명자】	
【성명의 국문표기】	강봉순
【성명의 영문표기】	KANG,BONG SOON
【주민등록번호】	620927-1122810
【우편번호】	604-714
【주소】	부산광역시 사하구 하단2동 840 동아대학교
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 정홍식 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 2 면 2,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 5 항 269,000 원

【합계】 300,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통 2. 위임장_1통

【요약서】**【요약】**

두 행렬을 곱한 행렬을 산출하는 행렬연산기가 개시된다. 행렬연산기는, 곱하여질 두 행렬의 각 원소들 중 곱셈연산의 결과식 행렬의 각 원소들의 부원소를 구성하는 원소들을 각각 하나씩 선택하여 순차적으로 출력하는 원소선택부, 원소선택부의 출력을 곱한 값들을 순차적으로 더하여 결과식의 각 원소들을 순차적으로 산출하는 연산부, 연산부의 출력을 저장하는 저장부, 및 연산부와 저장부의 동작 타이밍을 제어하는 제어신호를 발생시키는 제어신호 발생부를 가지고 있다. 두 행렬의 각 원소들을 순차적으로 선택하여 승산 및 가산을 함으로써 결과식의 행렬의 부원소들의 합으로 이루어진 원소들을 순차적으로 산출할 수 있다. 따라서, 하나의 가산기와 하나의 승산기 및 이를 제어하는 제어회로로 매트릭스 연산기가 구성되므로, 그 회로의 크기가 작아지게 된다.

【대표도】

도 3

【색인어】

행렬, 곱셈, 원소, 선택, 가산기, 승산기

【명세서】

【발명의 명칭】

시분할 방식의 행렬연산기{Time-devision type matrix calculator}

【도면의 간단한 설명】

도 1은 종래의 행렬연산기의 블록도,
도 2는 도 1의 제1블록의 상세구성을 도시한 블록도,
도 3은 본 발명에 따른 행렬연산기의 블록도,
도 4는 도 3의 원소선택부의 상세 블록도,
도 5는 도 3의 제어신호 발생부의 상세 블록도,
도 6은 도 3의 연산부의 상세 블록도, 그리고
도 7은 도 3의 저장부의 상세 블록도이다.

* 도면의 주요 부분에 대한 부호의 설명 *

30 : 원소선택부 31 : 제어블록
33 : 멀티플렉서 40 : 연산부
41 : 승산기 43 : 제1메모리
45 : 가산기 47 : 제2메모리
50 : 제어신호 발생부 60 : 저장부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 시분할 방식의 행렬연산기에 관한 것으로서, 보다 상세하게는, 행렬들의 각 원소들을 순차적으로 선택하여 곱셈 및 덧셈 연산을 수행함으로써 두 행렬을 곱한 행렬을 산출하는 행렬연산기에 관한 것이다.

<15> 영상 신호처리 등과 같은 분야에서는 행렬들에 대한 곱셈연산을 행해야 하는 경우가 자주 발생한다. 이러한 행렬들의 곱셈연산을 수행하기 위한 행렬연산기는 곱셈연산의 결과식을 구현하기 위한 다수의 승산기와 다수의 가산기를 사용한다.

<16> 도 1은 종래의 행렬연산기의 블록도로서, 두 개의 정방행렬, 특히 3×3 행렬 간의 곱셈연산을 수행하는 행렬연산기를 도시한 것이며, 도 2는 도 1의 각 블록의 세부구성을 도시한 것이다.

<17> 첫번째 행렬을 X행렬이라 하고, 두번째 행렬을 Y행렬이라 할 때,

<18> 행렬 X는,

$$\begin{bmatrix} X1 & X2 & X3 \\ X4 & X5 & X6 \\ X7 & X8 & X9 \end{bmatrix}$$

<20> 이고, 행렬 Y는,

$$\begin{bmatrix} Y1 & Y2 & Y3 \\ Y4 & Y5 & Y6 \\ Y7 & Y8 & Y9 \end{bmatrix}$$

<22> 이며, 이 두 행렬을 곱한 행렬 Z는,

$$\begin{bmatrix} Z1 & Z2 & Z3 \\ Z4 & Z5 & Z6 \\ Z7 & Z8 & Z9 \end{bmatrix} = \begin{bmatrix} X1 & X2 & X3 \\ X4 & X5 & X6 \\ X7 & X8 & X8 \end{bmatrix} \begin{bmatrix} Y1 & Y2 & Y3 \\ Y4 & Y5 & Y6 \\ Y7 & Y8 & Y9 \end{bmatrix}$$

$$\begin{aligned} <24> \\ &= \begin{bmatrix} X1Y1+X2Y4+X3Y7 & X1Y2+X2Y5+X3Y8 & X1Y3+X2Y6+X3Y9 \\ X4Y1+X5Y4+X6Y7 & X4Y2+X5Y5+X6Y8 & X4Y3+X5Y6+X6Y9 \\ X7Y1+X8Y4+X9Y7 & X7Y2+X8Y5+X9Y8 & X7Y3+X8Y6+X9Y9 \end{bmatrix} \end{aligned}$$

<25> 와 같은 식으로 구해진다.

<26> 이와 같은 연산을 수행하기 위한 종래의 행렬연산기는, 도 1에 도시된 바와 같이, 세 개의 블록(10, 20, 30)으로 구성되어 있다. 제1블록(10)에는 X1, X2, X3가 입력되고, 제2블록(20)에는 X4, X5, X6가 입력되며, 제3블록(30)에는 X7, X8, X9가 입력된다. 또한, 각 블록(10, 20, 30)에는 Y1 내지 Y9가 모두 입력된다.

<27> 제1블록(10)은, 도 2에 도시된 바와 같이, Y1 내지 Y9가 각각 입력되는 9개의 승산기(11), 승산기(11)의 출력이 각각 저장되는 9개의 D-플립플롭(13), 및 각 D-플립플롭(13)의 출력들 중 세개씩의 출력이 각각 입력되는 3개의 가산기(15)를 가지고 있다. 상위 세 개의 승산기에는 X1이 입력되고, 중간 세 개의 승산기에는 X2가 입력되며, 하위 세 개의 승산기에는 X3가 입력된다. 각각의 승산기(11)의 출력은 D-플립플롭(13)에 저장된 후 가산기(15)에 입력된다.

가산기(15)는 그에 입력되는 값들을 더하며, 이에 따라 각각의 가산기(15)에서는 각각 Z1, Z2, Z3의 값이 출력된다.

<28> 제2블록(20)과 제3블록(30)의 구성도 도 2에 도시된 제1블록(10)의 구성과 동일하다. 따라서, 제2블록(20)은 Z4, Z5, Z6를 출력하고, 제3블록(30)은 Z7, Z8, Z9를 출력한다.

<29> 그런데, 상기와 같은 종래의 매트릭스 연산기는 다수의 승산기(11)와 가산기(15)를 필요로 하므로 회로가 매우 커지는 문제점을 가지고 있다. 즉, 각 블록(10, 20, 30)마다 9개씩 총 27개의 승산기(11)가 필요하고, 또한, 각 블록(10, 20, 30)마다 6개씩 총 18개의 가산기(15)가 필요하다. (왜냐하면, 하나의 가산기(15)가 세 개의 입력값을 더하므로, 실제로는 하나의 가산기(15)가 두 개의 입력을 더하는 2개의 가산기로 구성되기 때문이다.)

【발명이 이루고자 하는 기술적 과제】

<30> 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로서, 본 발명의 목적은, 행렬의 곱셈 연산의 결과식을 구성하는 각 원소들을 순차적으로 계산함으로써 승산기와 가산기의 개수를 줄여 전체 회로의 크기를 줄일 수 있는 행렬 연산기를 제공하는 것이다.

【발명의 구성 및 작용】

<31> 상기 목적을 달성하기 위한 본 발명에 따른 행렬연산기는, 상기 제1 및 제2 행렬들의 각 원소가 입력되며, 상기 제1 및 제2행렬들의 각 원소들 중 상기 곱셈 연산의 결과식 행렬의 각 원소들의 부원소를 구성하는 원소들을 각각 하나씩 선

택하여 순차적으로 출력하는 원소선택부; 상기 원소선택부의 출력을 곱한 값들을 순차적으로 더하여 상기 결과식의 각 원소들을 순차적으로 산출하는 연산부; 상기 연산부의 출력을 저장하는 저장부; 및 상기 연산부 및 상기 저장부의 동작 타이밍을 제어하는 제어신호를 발생시키는 제어신호 발생부를 포함하는 것을 특징으로 한다.

<32> 여기서, 상기 원소선택부는, 상기 제1 및 제2행렬의 각 원소가 병렬로 입력되는 멀티플렉서, 및 상기 멀티플렉서의 출력을 선택하는 선택신호를 발생시키는 제어블록으로 구성할 수 있으며, 상기 연산부는, 상기 멀티플렉서의 출력을 곱하는 승산기, 상기 승산기의 결과가 일시적으로 저장되는 제1메모리, 제2메모리, 및 상기 제1메모리 저장된 값과 상기 제2메모리에 저장된 값을 더하여 상기 제2메모리에 입력시키는 가산기로 구성할 수 있다.

<33> 상기 제어신호 발생부는, 상기 제어블록의 출력신호들을 각각 소정 클럭 만큼 지연시키는 신호를 발생시켜 상기 연산부 및 상기 저장부에 입력시키는 복수의 플립플롭을 포함하여 구성되며, 상기 저장부는 상기 연산부의 출력을 순차적으로 저장하는 복수의 레지스터를 포함하여 구성된다.

<34> 본 발명에 따르면, 두 행렬의 각 원소들을 순차적으로 선택하여 승산 및 가산을 함으로써 결과식의 행렬의 부원소들의 합으로 이루어진 원소들을 순차적으로 산출할 수 있다. 따라서, 하나의 가산기와 하나의 승산기 및 이를 제어하는 제어회로로 매트릭스연산기가 구성되므로, 그 회로의 크기가 작아지게 된다.

<35> 이하에서는 도면을 참조하여 본 발명을 보다 상세하게 설명한다. 먼저, 본 발명에 따른 행렬연산기의 연산 원리를 설명하기 위해, 행렬 연산의 결과식을 그 원소별로 분류하는 방식을 설명한다.

<36> 전술한 바와 같이, 행렬X와 행렬Y를 곱한 행렬Z는 다음과 같이 구해진다.

$$\begin{bmatrix} Z1 & Z2 & Z3 \\ Z4 & Z5 & Z6 \\ Z7 & Z8 & Z9 \end{bmatrix} = \begin{bmatrix} X1 & X2 & X3 \\ X4 & X5 & X6 \\ X7 & X8 & X9 \end{bmatrix} \begin{bmatrix} Y1 & Y2 & Y3 \\ Y4 & Y5 & Y6 \\ Y7 & Y8 & Y9 \end{bmatrix}$$

$$\begin{aligned} &<38> \\ &= \begin{bmatrix} X1Y1+X2Y4+X3Y7 & X1Y2+X2Y5+X3Y8 & X1Y3+X2Y6+X3Y9 \\ X4Y1+X5Y4+X6Y7 & X4Y2+X5Y5+X6Y8 & X4Y3+X5Y6+X6Y9 \\ X7Y1+X8Y4+X9Y7 & X7Y2+X8Y5+X9Y8 & X7Y3+X8Y6+X9Y9 \end{bmatrix} \end{aligned}$$

<39> 여기서, 결과식의 각 원소는 다음과 같은 식으로 구해짐을 알 수 있다.

$$<40> \quad Z1 = X1Y1 + X2Y4 + X3Y7$$

$$<41> \quad Z2 = X1Y2 + X2Y5 + X3Y8$$

$$<42> \quad Z3 = X1Y3 + X2Y6 + X3Y9$$

$$<43> \quad Z4 = X4Y1 + X5Y4 + X6Y7$$

$$<44> \quad Z5 = X4Y2 + X5Y5 + X6Y8$$

$$<45> \quad Z6 = X4Y3 + X5Y6 + X6Y9$$

$$<46> \quad Z7 = X7Y1 + X8Y4 + X9Y7$$

$$<47> \quad Z8 = X7Y2 + X8Y5 + X9Y8$$

$$<48> \quad Z9 = X7Y3 + X8Y6 + X9Y9$$

<49> 상기 식들을 참조하면, 결과식의 각 원소(element)(Z1 내지 Z9)는 세 개의 부원소(sub-element)의 합으로 이루어져 있으며(예컨대, 원소 Z1은 부원소 X1Y1, X2Y4, 및 X3Y7 으로 이루어져 있다.), 또한 각 부원소는 행렬X와 행렬Y의 원소들 중에서 각각 하나씩의 원소를 취한 값들의 곱으로 이루어져 있음을 알 수 있다. 이러한 사실을 고려하여, 본 발명에서는, 결과식의 각 원소(Z1 내지 Z9)를 이루는 부원소들을 순차적으로 계산하고, 또한 이 부원소들의 합으로서 각 원소(Z1 내지 Z9)들을 계산하는 방식을 제안한다.

<50> 도 3은 본 발명에 따른 행렬연산기의 블록도이다. 본 발명에 따른 행렬연산기는, 연산 대상이 되는 행렬들(행렬 X 및 행렬 Y)의 모든 구성 원소들(X1 내지 X9, 및 Y1 내지 Y9)을 동시에 입력받아, 이들 중 필요한 원소들을 순차적으로 선택하여 출력하는 원소선택부(30), 원소선택부(30)에서 선택된 원소들에 대해 소정의 연산을 수행하는 연산부(40), 연산부(40)의 연산결과를 저장하고 또한 최종적으로 결과식의 원소들을 출력하는 저장부(60), 및 연산부(40)와 저장부(60)를 제어하는 제어신호를 발생시키는 제어신호 발생부(50)로 구성된다.

<51> 도 4는 도 3의 원소선택부(30)의 상세한 구성을 도시한 블록도이다. 원소선택부(30)는 입력되는 원소들 중에서 두 개의 원소를 선택하여 출력하는 멀티플렉서(MUX : Multiplexer)(33), 및 이 멀티플렉서(33)의 선택동작을 제어하기 위한 선택신호(sel_l, sel_h)를 발생시키는 제어블록(31)을 가지고 있다.

<52> 멀티플렉서(33)에는 제1행렬(행렬 X)의 모든 원소(X1 내지 X9) 및 제2행렬(행렬 Y)의 모든 원소(Y1 내지 Y9)가 동시에 입력된다. 멀티플렉서(33)는 제어블록(31)이 발생하는 선택신호(sel_l, sel_h)에 의해 구동되며, 이에 따라 제1행렬

의 원소들(X1 내지 X9) 중 하나와 제2행렬의 원소들(Y1 내지 Y9) 중 하나가 선택되어 출력된다. 이러한 선택신호는, 제어블록(31) 내에 설치되거나 또는 제어블록(31)의 시계열적 동작을 제어하기 위해 별도로 마련되어 있는 클럭(도시되지 않음)의 매 펄스에서 변화되며, 이에 따라, 멀티플렉서(33)는 매 클럭마다 각기 다른 원소들을 선택하여 출력한다. 멀티플렉서(33)의 두 출력은 각각 D-플립플롭(36)에 입력되며, D-플립플롭(36)은 멀티플렉서(33)의 출력을 한 클럭만큼 지연시킨 후 출력한다.

<53> 제어블록(31)은 멀티플렉서(33)를 구동하는 두 개의 선택신호(sel_h, sel_l)는 상위선택신호(sel_h)와 하위선택신호(sel_l)로 구성되어 있다. 상위선택신호(sel_h)는 곱셈연산 결과식의 행렬인 행렬 Z를 구성하는 각 원소에 대응되는 값을 나타내는 행렬이고, 하위선택신호(sel_l)는 상위선택신호(sel_h)에 의해 지정된 원소 내의 각 부원소에 대응되는 값을 나타내는 행렬이다. 예컨대, 상위선택신호(sel_h)가 2이고 하위선택신호(sel_l)가 3이면 Z2의 세번째 부원소, 즉 X3Y8을 출력하도록 멀티플렉서(33)가 구동되고, 이에 따라 원소선택부(30)는 X3와 Y8을 선택하여 출력하게 된다.

<54> 제어블록(31)의 구동을 개시시키는 시작신호로는, 예컨대, 영상신호에서 필드별로 한번씩 발생하는 버티컬싱크(vertical sync)신호에 의해 발생하는 시작신호(starting signal)가 사용될 수 있다. 이러한 시작신호(starting signal)가 제어블록(31)에 입력되면, 첫번째 클럭에서 상위선택신호(sel_h)의 값이 하나 증가되고(sel_h의 초기치는 '0'으로 설정된다.), 또한 이와 동시에 하위선택신호(sel_l)의 값도 하나 증가된다.(sel_l의 초기치도 '0'으로 설정된다.) 하위선택

신호(sel_l)의 값은 매 클릭마다 하나씩 증가되며, 이에 따라 첫번째 원소(Z1)의 각 부원소가 매 클릭마다 순차적으로 선택되어 출력된다. 상위선택신호(sel_h)의 값은 세 클릭마다 하나씩 증가된다. 따라서, 첫번째 원소(Z1)를 구성하는 세 개의 부원소들(X1Y1, X2Y4, X3Y7)에 대한 순차적인 출력이 완료되면, 상위선택신호(sel_h)는 두번째 원소(Z2)를 가리키기 위해 그 값이 '2'로 증가된다. 이와 같은 과정이 반복됨에 따라, 행렬Z의 원소들 내의 부원소들을 계산하는 데에 필요한 제1 및 제2행렬 내의 원소들이 순차적으로 출력되게 된다.

<55> 한편, 제어블록(31)은 상기와 같은 선택신호 외에도 제어신호발생부(50)를 제어하기 위한 제어신호들(flag, stop)을 발생시킨다. 플래그(flag)신호는 행렬Z를 구성하는 하나의 원소에 대한 산출이 끝날 때마다 한 클릭동안 '하이' 펄스를 발생시켜 한 개의 원소의 산출이 끝났음을 알려준다. 스톱(stop)신호는 행렬Z를 구성하는 9개의 원소에 대한 산출이 끝난 경우에 한 클릭동안 '하이' 펄스를 발생시켜 행렬Z의 산출을 위한 연산이 종료되었음을 알려준다. 또한, 스톱(stop)신호는 제어블록(31)에 궤환(feedback)되어 '하이' 펄스 발생시 제어블록(31)을 초기화한다. 이 제어신호들(flag, stop)과 상위선택신호(sel_h)가 제어신호발생부(50)에 입력된다.

<56> 도 5는 도 3의 제어신호발생부(50)의 상세 구성을 나타낸 블록도이다. 제어신호발생부(50)는 상위선택신호(sel_h)를 지연시키는 제1지연부(51), 플래그(flag)신호를 지연시키는 제2지연부(53), 그리고 스톱(stop)신호를 지연시키는 제3 및 제4지연부(55, 57)로 구성되어 있다. (도 3 내지 도 6에서 각 신호에 대한 표기에 첨부된 첨자 d는 지연된 신호임을 나타내며, d 앞에 첨부된 숫자는 지

연된 클럭의 수를 나타낸다. 예컨데 _3d 는 원 신호가 3클럭 지연된 신호임을 나타낸다.)

<57> 제1지연부(51)는 세 개의 D-플립플롭으로 구성되어 상위선택신호(sel_h)를 세 클럭 지연시킨 신호(sel_h_3d)를 발생시킨다. 제2지연부(53)는 두 개의 D-플립플롭으로 구성되어, 플래그(flag)신호를 두 클럭 지연시킨 신호(flag_2d)를 발생시킨다. 제3지연부(55)는 세 개의 D-플립플롭으로 구성되어 스톱(stop)신호를 세 클럭 지연시킨 신호(stop_3d)를 발생시키며, 제4지연부(57)는 제3지연부(55)에 직렬연결된 한 개의 D-플립플롭으로 구성되어 제3지연부(55)의 출력신호(stop_3d)를 한 클럭 더 지연시킨 신호(stop_4d)를 발생시킨다.

<58> 도 6은 도 3의 연산부(40)의 상세 구성을 나타낸 블록도이다. 연산부(40)는 원소선택부(30) 내의 멀티플렉서(33)의 두 출력이 입력되는 하나의 승산기(41), 승산기(41)의 출력을 저장하는 제1메모리(43), 제1메모리(43)의 다음단에 설치된 제2메모리(47), 및 제1메모리(43)의 출력과 제2메모리(47)의 출력을 더하여 다시 제2메모리(47)에 입력시키는 가산기(45)로 구성되어 있다. 제1 및 제2메모리(41, 47)는 D-플립플롭으로 구성되어 입력된 값을 한 클럭동안 저장한 후 출력하는 기능을 한다.

<59> 제어신호발생부(50)의 출력신호 중 stop_3d신호는 제1메모리(43)에 입력되며, 이 신호가 '하이' 펄스로 될 경우 제1메모리(43)가 초기화된다.(즉, D-플립플롭에 저장된 값이 '0'으로 리셋된다.) 또한, 제어신호발생부(50)의 출력신호 중 flag_2d신호 및 stop_4d신호는 제2메모리(47)에 입력되며, 이 두 신호 중 하

나가 '하이' 펄스로 될 경우 제2메모리(47)가 초기화된다.(즉, D-플립플롭에 저장된 값이 '0'으로 리셋된다.)

<60> 도 7은 도 3의 저장부(60)의 구성을 도시한 도면이다. 저장부(60)는 9×레지스터로 구성되어 있다. 제어신호발생부(50)의 출력 중 sel_h_3d신호와 flag_2d신호는 저장부(60)에 입력되며, 저장부(60)는 이 신호에 의해 제어된다. 연산부(40)의 출력(Z)은 순차적으로 저장부(60)에 입력되며, 저장부(60)는 제어신호발생부(50)의 제어신호(sel_h_3d, flag_2d)에 의해 제어되어 순차적으로 입력되는 9개의 원소(Z1 내지 Z9)를 3클럭마다 한번씩 쉬프트시키며 모두 저장하고, 9개의 원소(Z1 내지 Z9)의 저장이 완료된 후에 이를 병렬로 출력한다.

<61> 이하에서는 본 발명에 따른 행렬연산기의 동작을 설명한다.

<62> 제1행렬(행렬X)의 각 원소(X1 내지 X9) 및 제2행렬(행렬Y)의 각 원소(Y1 내지 Y9)는 원소선택부(30)의 멀티플렉서(30)에 동시에 입력된다. 제어블록(31)에 시작신호가 입력되면, 타이밍제어블록(31)은 초기치가 '0'으로 설정되어 있는 상위선택신호(sel_h)와 하위선택신호(sel_l)의 값을 하나 증가시킨다. 이에 따라 행렬Z를 이루는 첫번째 원소(Z1)의 첫번째 부원소를 연산하기 위해 필요한 원소들이 선택되어, 멀티플렉서(33)는 X1과 Y1을 출력한다.

<63> 매 클럭마다 하위선택신호(sel_l)의 값은 하나씩 증가되며, 이에 따라 멀티플렉서(33)는 첫번째 원소(Z1)의 부원소를 이루는 행렬 X 및 행렬 Y내의 원소들을 매 클럭마다 순차적으로 출력한다. 첫번째 원소(Z1)를 이루는 세 개의 부원소들의 출력이 완료되면, 상위선택(sel_h)신호의 값이 하나 증가되고 하위선택신호(sel_l)의 값은 1부터 다시 증가하며, 이에 따라 두번째 원소(Z2)의 부원소를

이루는 행렬 X 및 행렬 Y 내의 원소들이 매 클럭마다 순차적으로 출력된다. 이와 같이 하위선택신호(sel_l)의 값은 매 클럭마다 하나씩 증가하며 1 부터 3까지의 변화가 반복되고, 상위선택신호(sel_h)의 값은 세 클럭마다 하나씩 증가하며 1부터 9까지 변화되며, 이에 따라 행렬 Z의 연산에 필요한 원소들이 순차적으로 출력된다.

<64> 전술한 바와 같이, 플래그(flag)신호는 행렬Z의 한 원소의 모든 부원소들의 출력이 완료될 때마다 한 클럭의 '하이' 펄스를 발생시키며, 스톱(stop)신호는 행렬Z의 모든 원소(Z1 내지 Z9)의 산출이 끝날때 마다 한 클럭의 '하이' 펄스를 발생시킨다.

<65> 멀티플렉서(33)가 출력하는 값들은 연산부(40) 내의 승산기(41)에 순차적으로 입력되며, 승산기(41)는 멀티플렉서(33)가 출력한 값들을 곱하여 행렬 Z의 각 원소들(Z1 내지 Z9)을 이루는 부요소들(X1Y1 등)을 순차적으로 산출한다. 승산기(41)가 산출한 부원소는 제1메모리(43)에 저장되며, 제1메모리(43)에 저장된 값은 가산기(45)를 거쳐 제2메모리(43)에 입력된다. 이때 제2메모리(43)의 초기 값은 '0'으로 세팅되어 있다. 제2메모리(43)는 제1메모리(41)의 출력과 자신의 출력을 더한 값이 입력되므로, 승산기(41)가 순차적으로 산출한 부원소는 모두 더해져서 제2메모리(43)에 저장되게 된다.

<66> 멀티플렉서(33)의 출력은 D-플립플롭(36)과 제1메모리(41)를 거쳐 제2메모리(43)에 입력되므로, 제2메모리(43)에는 멀티플렉서(33)가 행렬 X와 행렬 Y의 원소들을 출력한 후부터 두 클럭만큼 지연된 후 승산기(41)가 계산한 부원소가 입력된다. 플래그(flag)신호는 하나의 원소(예컨데, Z1)를 이루는 모든 부원소

들(예컨대, X1Y1, X2Y4, X3Y7)의 출력이 완료된 후 '하이' 펄스를 발생시키므로, 플래그(flag)신호가 두 클럭 지연된 신호인 flag_2d신호는 세 개의 부원소를 모두 더한 하나의 원소값이 저장된 후 리셋되게 된다. 따라서, 제2메모리(43)에 저장된 값은 하나의 원소값의 산출이 완료될 때마다 다음 원소의 산출을 위해 '0'으로 리셋되며, 이때 제2메모리(43)에 저장되어 있던 값은 제2메모리(43)가 리셋되기 전에 저장부(60)에 입력된다.

<67> 이와 같은 과정이 9회 반복되면 모든 요소(Z1 내지 Z9)의 값이 연산부(40)에 의해 순차적으로 산출되고, 산출이 완료되면 스톱(stop)신호가 '하이' 펄스가 된다. 이에 따라, 스톱(stop)신호의 발생시점에 제어블록(31)이 리셋되고, 또한 그 후 3클럭 및 4클럭이 지연된 후에 각각 제1메모리(41) 및 제2메모리(43)가 '0'으로 리셋된다. 따라서, 다음에 입력되는 행렬들에 대한 곱셈연산을 수행할 수 있는 상태로 초기화된다.

<68> 연산부(40)에서 순차적으로 출력되는 각 요소들(Z1 내지 Z9)의 값은 순차적으로 9×레지스터로 이루어진 저장부(60)에 입력된다. 저장부(60)는 상위선택신호(sel_h)가 세 클럭 지연된 sel_h_3d신호, 및 플래그(flag)신호가 두 클럭 지연된 flag_2d신호가 입력된다.

<69> flag_2d신호는 저장부(60) 내의 각 레지스터들의 값들을 쉬프트시키는 기능을 한다. 따라서, 연산부(40) 내의 제2메모리(47)에 저장된 값이 저장부(60) 내의 최전방의 레지스터에 입력됨과 동시에 저장부(60) 내의 레지스터들의 값들은 쉬프트되게 되고, 이와 같은 동작이 반복됨에 따라 제2메모리(47)에 저장된 각 원소의 값들이 순차적으로 레지스터들 내에 저장되게 된다.

<70> sel_h_3d신호는 저장부(60) 내의 레지스터들에 저장된 값들을 출력시키는 기능을 한다. 이때, 저장부(60) 내의 레지스터들의 값들은 sel_3d의 값이 1001₍₂₎, 즉 9가 되었을 때 출력된다. 따라서, 순차적으로 입력되는 원소들의 값이 Z1 부터 Z9까지 모두 레지스터에 저장되었을 경우에, 레지스터들에 저장된 값(Z1 내지 Z9)은 병렬로 한꺼번에 출력된다. 이에 따라, 행렬X와 행렬Y가 곱해진 행렬Z가 산출되게 된다. 여기에서, 상위선택신호(sel_h)신호를 세 클럭만큼 지연시키는 이유 및 플래그(flag)신호를 두 클럭만큼 지연시키는 이유는 순차적으로 입력되는 Z1 내지 Z9의 쉬프트 시점과 Z1 내지 Z9의 출력시점을 동기화시키기 위한 것이다.

<71> 도 3 내지 도 7에 도시된 실시예에서는 두 개의 정방행렬, 특히 3×3행렬의 곱셈 연산을 수행하기 위한 행렬연산기를 도시하고 있으나, 다른 행렬들의 연산에도 본 발명이 적용될 수 있을 것이다. 예컨대, 4×4 행렬들의 곱셈 연산을 수행하는 행렬연산기를 구현하고자 하는 경우에는, 원소선택부(30) 내의 멀티플렉서(33)의 입력의 수를 8개로 하고 각종 제어신호의 지연 클럭수 등을 4×4행렬의 연산에 맞도록 조절함으로써 용이하게 구현할 수 있다. 또한, 정방행렬끼리의 곱셈이 아닌 경우에도, 상기와 같은 변형예를 응용하고 또한 각 제어신호의 지연 클럭 수를 조절함으로써 행렬연산기를 용이하게 구현할 수 있을 것이다.

【발명의 효과】

<72> 본 발명에 따르면, 두 행렬을 곱한 행렬을 구하기 위해서, 결과식의 각 원소를 구성하는 부원소들을 이루는 산출하여 이를 순차적으로 더함으로써 결과식의 각 원소를 순차적으로 산출할 수 있게 된다. 따라서, 하나의 곱셈기와 하나

의 가산기로 구성된 연산부와, 이 연산부에 입력될 값들을 선택하고 제어하는 제어회로만으로도 행렬연산기의 구성이 가능하게 되어 하드웨어의 구성이 간단하고 사이즈가 작아지게 된다는 잇점이 있다.

【특허청구범위】**【청구항 1】**

제1 및 제2행렬에 대한 곱셈연산을 수행하는 행렬연산기에 있어서,

상기 제1 및 제2행렬들의 각 원소가 입력되며, 상기 제1 및 제2행렬들의 각 원소들 중 상기 곱셈연산의 결과식 행렬의 각 원소들의 부원소를 구성하는 원소들을 각각 하나씩 선택하여 순차적으로 출력하는 원소선택부;

상기 원소선택부의 출력을 곱한 값들을 순차적으로 더하여 상기 결과식의 각 원소들을 순차적으로 산출하는 연산부;

상기 연산부의 출력을 저장하는 저장부; 및

상기 연산부 및 상기 저장부의 동작 타이밍을 제어하는 제어신호를 발생시키는 제어신호 발생부를 포함하는 것을 특징으로 하는 행렬연산기.

【청구항 2】

제 1항에 있어서,

상기 원소선택부는,

상기 제1 및 제2행렬의 각 원소가 병렬로 입력되는 멀티플렉서; 및

상기 멀티플렉서의 출력을 선택하는 선택신호를 발생시키는 제어블록을 포함하는 것을 특징으로 하는 행렬연산기.

【청구항 3】

제 2항에 있어서,

상기 연산부는,

상기 멀티플렉서의 출력을 곱하는 승산기;

상기 승산기의 결과가 일시적으로 저장되는 제1메모리;

제 2메모리; 및

상기 제1메모리 저장된 값과 상기 제2메모리에 저장된 값을 더하여 상기 제2메모리에 입력시키는 가산기를 포함하는 것을 특징으로 하는 행렬연산기.

【청구항 4】

제 3항에 있어서,

상기 제어신호 발생부는, 상기 제어블록의 출력신호들을 각각 소정 클럭 만큼 지연시키는 신호를 발생시켜 상기 연산부 및 상기 저장부에 입력시키는 복수의 플립플롭을 포함하는 것을 특징으로 하는 행렬연산기.

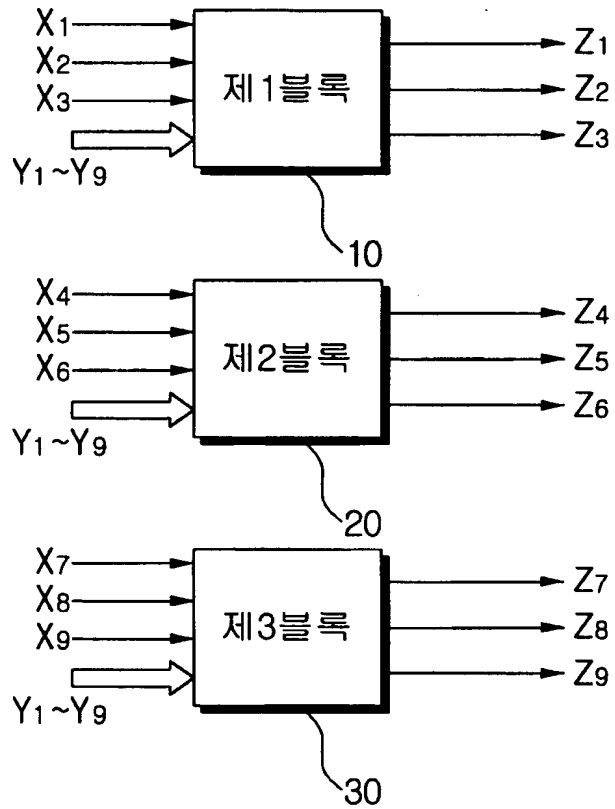
【청구항 5】

제 4항에 있어서,

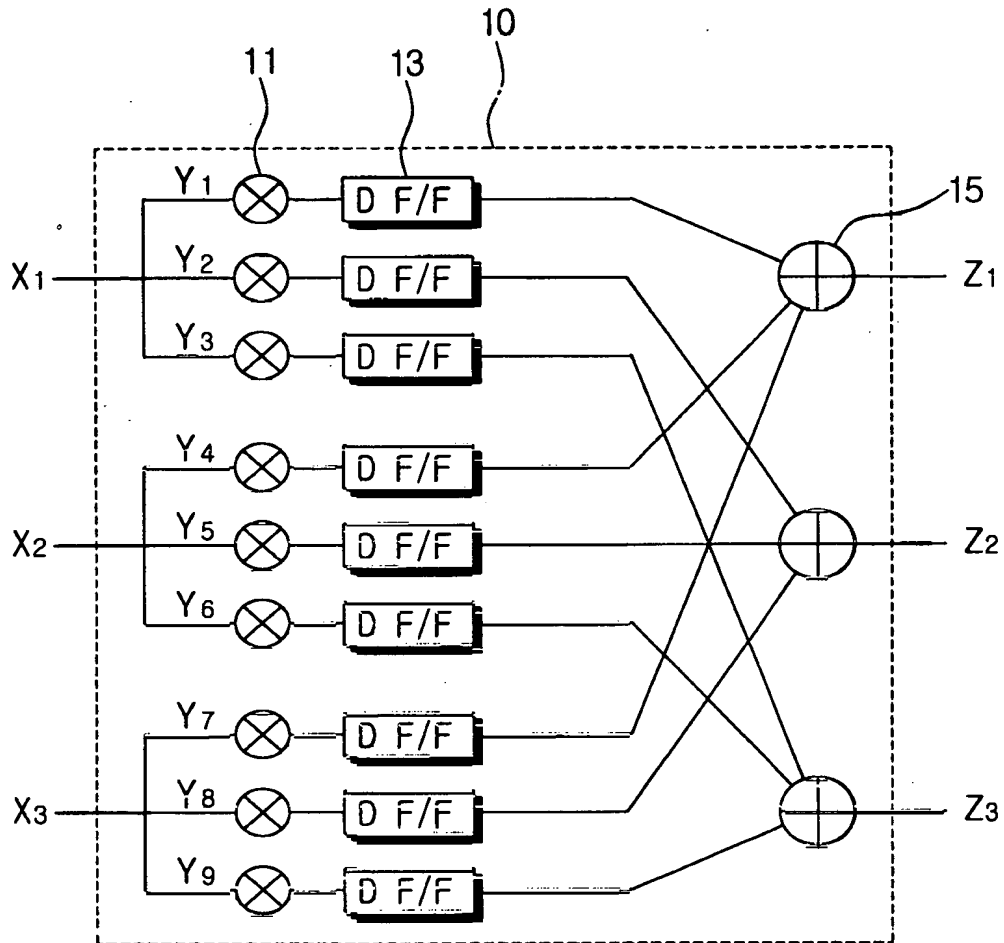
상기 저장부는, 상기 연산부의 출력을 순차적으로 저장하는 복수의 레지스터를 포함하는 것을 특징으로 하는 행렬연산기.

【도면】

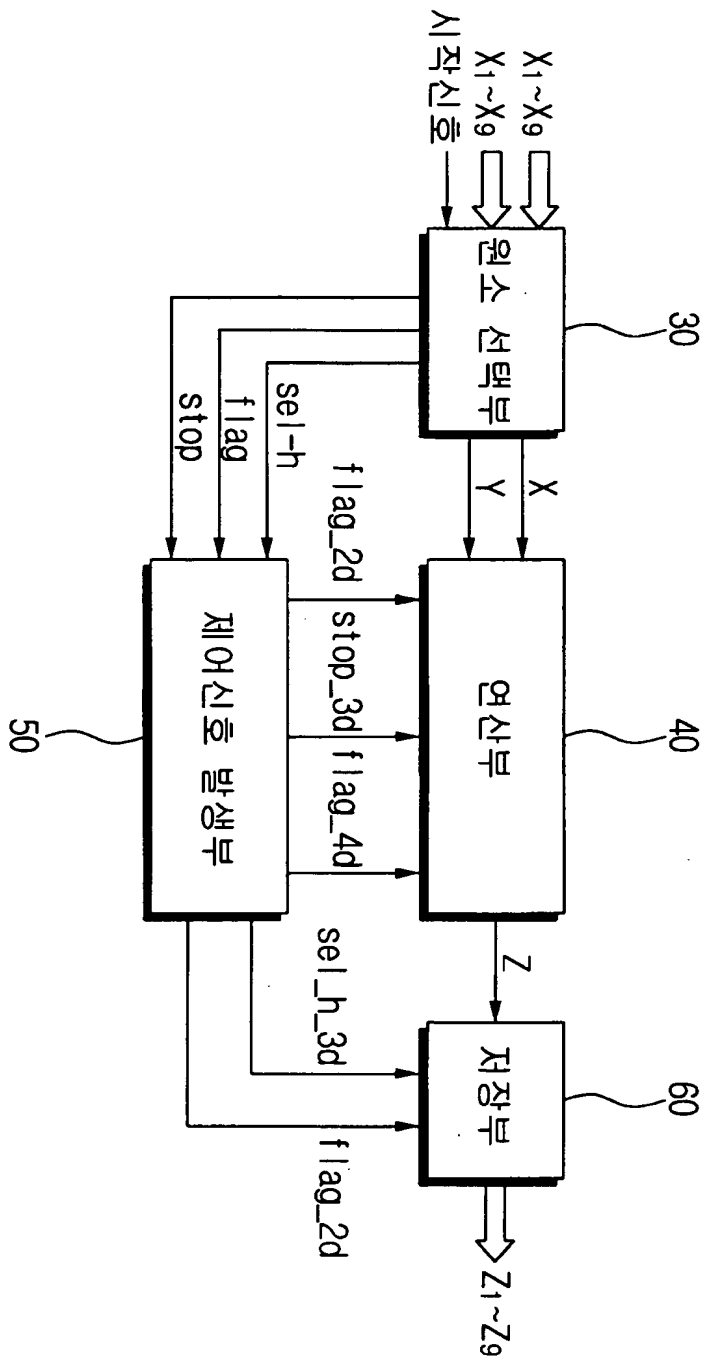
【도 1】



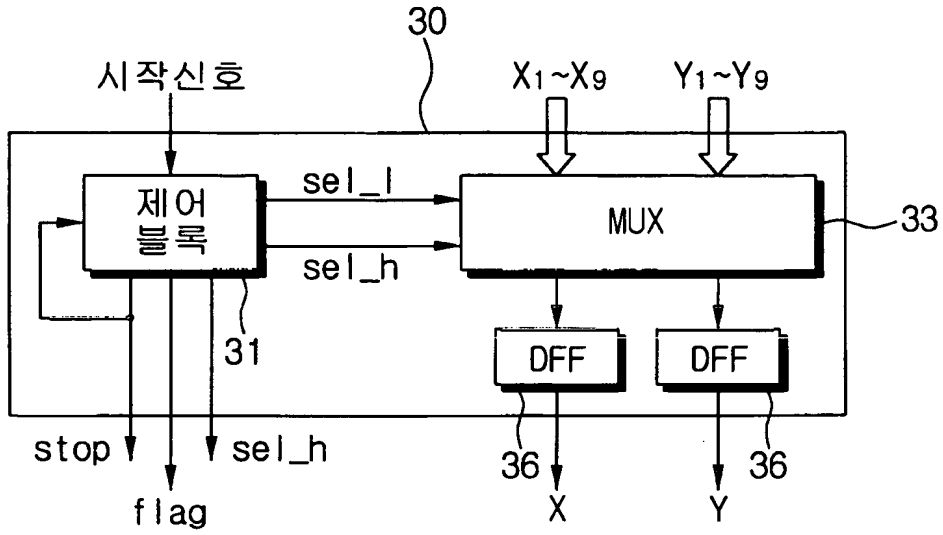
【도 2】



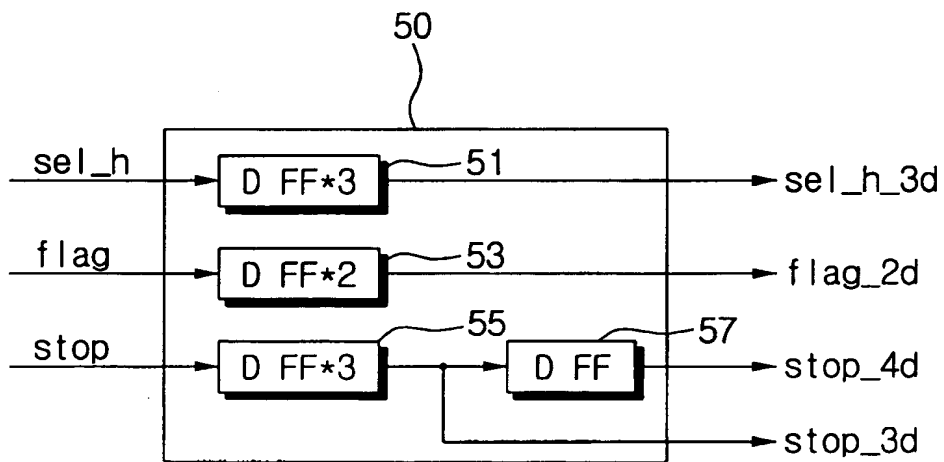
【도 3】



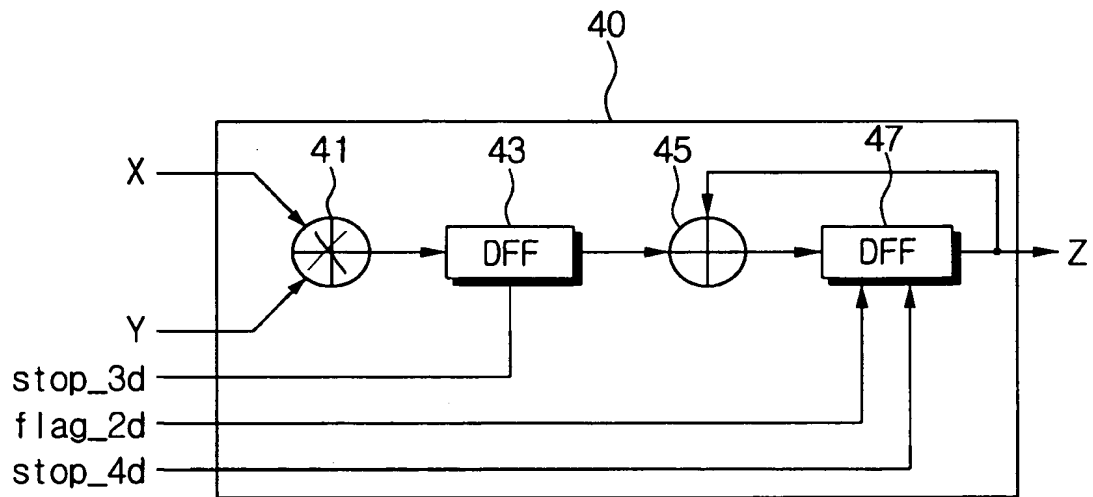
【도 4】



【도 5】



【도 6】



【도 7】

